

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

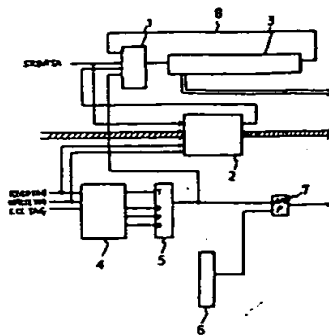
**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**(54) ERROR CORRECTION SYSTEM**

(11) 59-165152 (A) (43) 18.9.1984 (19) JP  
 (21) Appl. No. 58-39227 (22) 11.3.1983  
 (71) HITACHI SEISAKUSHO K.K. (72) HARUO KAZAMI  
 (51) Int. Cl. G06F11/10

**PURPOSE:** To reduce the number of pins in case of closing to one LSI, etc., by allowing file counting for data transfer to substitute for shift counting for syndrome calculation and performing processing similar to data transfer.

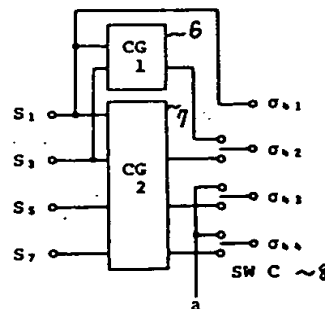
**CONSTITUTION:** An SQ update control circuit 4 operates by an external signal READ-TAG to update the contents of an SQ register 5. Serial data SRDATA from a disk device is inputted to an error correction control circuit ECC1 and a serial-parallel converting circuit 2. The circuit ECC1 selects the input data and supplies its output to an ECC buffer 3. The ECC buffer 3 codes a polynomial based upon correction codes in READ operation and performs error detection when a read of the correction codes is completed. Parallel data converted by the serial-parallel converting circuit 2 is ANDed by an AND circuit 7 by SQ condition and the output of a bit string register 6, and a strobe signal of read data is sent to a processor.

**(54) HIGH-SPEED DECODING METHOD OF QUADRUPLIX ERROR-CORRECTION BCH CODE**

(11) 59-165153 (A) (43) 18.9.1984 (19) JP  
 (21) Appl. No. 58-39816 (22) 9.3.1983  
 (71) HIROICHI OKANO (72) HIROICHI OKANO  
 (51) Int. Cl. G06F11/10

**PURPOSE:** To realize an efficient decoder for a quadruplex error correction BCH code by employing a method of solution for a quartic equation of a Galois field and a method of solution which solves even less than a cubic equation by referring it to a quartic equation.

**CONSTITUTION:** The decoder for quadruplex error BCH codes which uses an ROM represents elements by exponents and also represents elements of degree 0 which use the exponents  $0, 1 \dots 2^m - 2$  all by 1, i.e. (111...1). Circuits CG6 and CG7 are circuits which calculate coefficients of an error position polynomial. When  $A = S_1(S_1^3 + S_2) + S_2(S_1^3 + S_2) \neq 0$ , an SWC-8 is placed at the upper side to decide on that there is a one or two-bit error. Then, the error position polynomial is regarded as a quartic equation to calculate coefficients  $\sigma_{4i}$  ( $i=1, 2, 3$ , and 4). The circuit CG1-6 is a circuit which calculates  $\sigma_{22}$  from  $\sigma_{22} = (S_1^3 + S_2)/S_1$  and the CG2-7 calculates the  $\sigma_{42}$ ,  $\sigma_{43}$ , and  $\sigma_{44}$ .



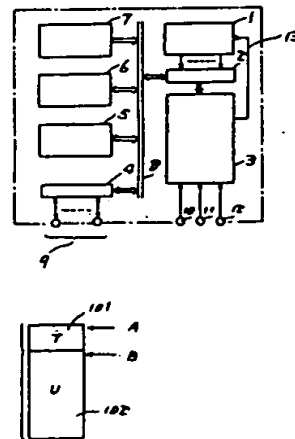
a: 0-dimension (11...1)

**(54) MICROPROCESSOR WITH TEST FUNCTION**

(11) 59-165154 (A) (43) 18.9.1984 (19) JP  
 (21) Appl. No. 58-39107 (22) 11.3.1983  
 (71) TOSHIBA K.K. (72) MASAMICHI SUGAI  
 (51) Int. Cl. G06F11/22

**PURPOSE:** To confirm whether a specific execution speed is obtained or not with minimum added hardware by arranging a testing ROM area to the position in a mask ROM where a read time is the longest.

**CONSTITUTION:** A control storage MROM1 is provided with an area T part 101 for an AC test independently of a user program area U part 102 to decide on whether the specific execution speed is obtained or not. A start address is A in normal operation and B in AC test mode. For example, the time accessing to a data RAM6 by a data transfer instruction is longer than the time of read of data from an MROM7 for data and an arithmetic register 5, a data ROM6 is specified for source field specification for the AC test. When the complicate operation is carried out, the combination of specific instructions is stored in the T part selectively. Then, a series of instructions in the T part is executed, and when the result is correct, it is decided that the AC test is O.K.



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-165153

(43)Date of publication of application : 18.09.1984

(51)Int.Cl. G06F 11/10

(21)Application number : 58-039816

(71)Applicant : OKANO HIROICHI

(22)Date of filing : 09.03.1983

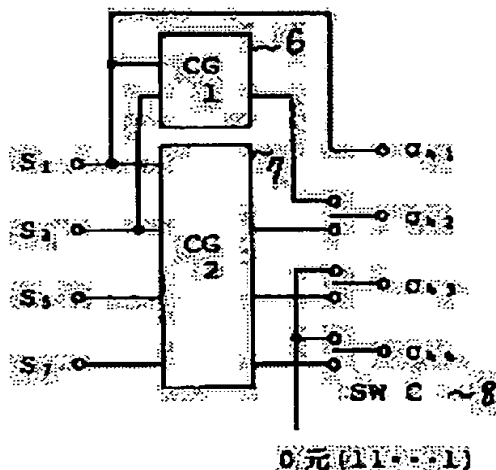
(72)Inventor : OKANO HIROICHI

## (54) HIGH-SPEED DECODING METHOD OF QUADRUPLIX ERROR CORRECTION BCH CODE

## (57)Abstract:

PURPOSE: To realize an efficient decoder for a quadruplex error correction BCH code by employing a method of solution for a quartic equation of a Galois field and a method of solution which solves even less than a cubic equation by referring it to a quartic equation.

CONSTITUTION: The decoder for quadruplex error BVH codes which uses an ROM represents elements by exponents and also represents elements of degree 0 which use the exponents 0, 1...2m-2 all by 1, i.e. (111...1). Circuits CG6 and CG7 are circuits which calculate coefficients of an error position polynomial. When  $A=S1(S51+S5)+S3(S31+S3) \neq 0$ , an SWC.8 is placed at the upper side to decide on that there is a one or two-bit error. Then, the error position polynomial is regarded as a quartic equation to calculate coefficients  $\sigma_{4i}$  ( $i=1, 2, 3$ , and 4). The circuit CG1.6 is a circuit which calculates  $\sigma_{22}$  from  $\sigma_{22}=(S31+S3)/S1$  and the CG2.7 calculates the  $\sigma_{42}$ ,  $\sigma_{43}$ , and  $\sigma_{44}$ .



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-165153

⑤ Int. Cl.<sup>4</sup>  
G 06 F 11/10

識別記号

庁内整理番号  
7368-5B

⑬ 公開 昭和59年(1984)9月18日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑭ 4重誤り訂正BCH符号の高速復号法

⑯ 発明者 岡野博一

徳山市城ヶ丘4丁目9-1-201

⑰ 特 願 昭58-39816

⑰ 出 願 人 岡野博一

⑱ 出 願 昭58(1983)3月9日

徳山市城ヶ丘4丁目9-1-201

明 細 書

(発明の名称)

4重誤り訂正BCH符号の高速復号法

(特許請求の範囲)

1. ガロア体の3次以下の方程式を4次方程式として解くことを特徴とする4重誤り訂正BCH符号の復号方式  
(ソフトウェアによって実現したもの)
2. ガロア体の3次以下の方程式を4次方程式として解くことを特徴とする4重誤り訂正BCH符号の復号器
3. 上記、4重誤り訂正BCH符号の復号法(1、2項を含む)を合成符号(BCH符号と他の誤り訂正符号を合成したもの)の復号法の一部として含む復号方式
4. ガロア体の4次以下の方程式の解法を用いるシステムにおいて、上記1、2項の方法を用いることを特徴とするシステム

(発明の詳細な説明)

本発明は4重誤り訂正BCH符号の復号法に関するものである。

情報処理システムの高信頼度化の一手法として、誤り訂正符号が実用されている。BCH符号は特に誤り訂正能力が高く重要な符号であるが、復号器が複雑となる欠点を有する。

しかし、古典代数学を応用したガロア体の4次方程式の解法、さらに3次以下の方程式も4次方程式とみなして解く方法を用いれば、効率的な4重誤り訂正BCH符号の復号器が構成できる。

さて、理論を簡単に述べる。

$GF(2^m)$  の原始元を  $\alpha$  とし、 $\alpha$ 、 $\alpha^2$ 、 $\alpha^4$ 、 $\alpha^8$  を根とする多項式を  $m_1(x)$ 、 $m_2(x)$ 、 $m_4(x)$ 、 $m_8(x)$  とすると、4重誤り訂正BCH符号の生成多項式は、

$$G(x) = m_1(x) \cdot m_2(x) \cdot m_4(x) \cdot m_8(x) \quad (1)$$

である。このとき、符号長  $n = 2^m - 1$  である。

BCH符号の復号は次の4つの過程からなる。

- (1) 受信系列からのシンδροームの算出
- (2) 誤り位置多項式の係数および誤りビット数の判定
- (3) 誤り位置多項式の解法
- (4) 誤り訂正の実行

シンδροームは受信系列を  $m_1(x)$ 、 $m_2(x)$ 、 $m_4(x)$ 、 $m_8(x)$  で割ったときの剰余をそれぞれ  $R_1(x)$ 、 $R_2(x)$ 、

$R_5(x)$ ,  $R_7(x)$  となると次式で表わされる。

$$\begin{aligned} S_1 &= R_1(\alpha) \\ S_2 &= R_2(\alpha^2) \\ S_3 &= R_3(\alpha^4) \\ S_4 &= R_4(\alpha^8) \\ S_5 &= R_5(\alpha^{16}) \\ S_6 &= R_6(\alpha^{32}) \\ S_7 &= R_7(\alpha^{64}) \end{aligned} \quad (2)$$

シフトレジスタあるいは、ROM(Read Only Memory)を用いると容易に算出される。

なお、ガロア体  $GF(2^m)$  上の元ベクトル表現と指数表現とで表わされるが、ここでは指数表現で表わすこととなる。したがって元は、0(零元),  $\alpha^0, \alpha^1, \dots, \alpha^{2^m-2}$  である。

さて、つぎにガロア体の方程式の解法について述べる。各係数が0の場合にも解けるように工夫している。

(一次方程式の場合)

$$x + \sigma_{11} = 0 \quad (3)$$

の根は  $x = \sigma_{11}$  である。

(二次方程式の場合)

$$x^2 + \sigma_{21}x + \sigma_{22} = 0 \quad (4)$$

(4) 式の根は  $\sigma_{21} = 0$  のとき  $x_1 = x_2 = \sigma_{22}^{1/2}$

もちろん、 $\sigma_{22} = 0$  のとき根は0である。

つぎに、 $\sigma_{21} \neq 0$  のとき  $x = \sigma_{21}y$  とおき

$$y^2 + y + \sigma_{22}/\sigma_{21}^2 = 0 \quad (5)$$

$$x^4 + \sigma_{41}x^3 + \sigma_{42}x^2 + \sigma_{43}x + \sigma_{44} = 0 \quad (8)$$

となる。したがって、4次方程式を解くことになる。

さて(8)式はガロア体上の方程式なので、古典代数学の公式はそのまま用いることができない。しかし、次のようにすると解くことができる。

まず、(8)式の根を  $x_i$  ( $i=1, 2, 3, 4$ ) とすると、 $Y = (x_1 + x_2)(x_3 + x_4)$  を根とする3次の補助方程式として次式を得る。

$$\lambda^3 + \eta\lambda + \delta = 0 \quad (9)$$

ここで、 $\eta = \sigma_{42}^2 + \sigma_{41}\sigma_{43}$  ,

$$\delta = \sigma_{43}^2 + \sigma_{41}^2\sigma_{44} + \sigma_{41}\sigma_{42}\sigma_{43} \quad (10)$$

さて、(8)式が次式のように因数分解されるとする。

$$(x^2 + px + q)(x^2 + p'x + q') = 0 \quad (11)$$

(8)式、(11)式の各係数を比較して、

$$p + p' = \sigma_{41} \quad (12)$$

$$q + q' + pp' = \sigma_{42} \quad (13)$$

$$p'q + pq' = \sigma_{43} \quad (14)$$

$$qq' = \sigma_{44} \quad (15)$$

さらに、Yの定義から

$$Y = pp' \quad (16)$$

ここで、(9)式の根Yは、(6)式の解法を用いて求根のうちの任意の根である。

(5)式の根を  $\sigma_{21}/\sigma_{22}^2$  に対応したテーブルに格納しておく。根を  $y_1, y_2$  とすると、(4)式の根は、

$$x_1 = \sigma_{21}y_1, \quad x_2 = \sigma_{21}y_2 = \sigma_{21} + x_1$$

となる。

なお、 $\sigma_{21} \neq 0$  かつ  $\sigma_{22} = 0$  のとき(5)式の根は  $\alpha^0, 0$  となり、

$$x = \sigma_{21}, \quad x_2 = 0 \quad \text{となる。}$$

(三次方程式の場合)

つぎの3次方程式の解法を考える。

$$y^3 + \eta y + \delta = 0 \quad (6)$$

(6)式において、

$$\eta = 0 \text{ のとき } y = \delta^{1/3}$$

もちろん、 $\delta = 0$  のとき  $Y = 0$  である。

つぎに、 $\eta \neq 0$  のとき  $z = \eta^{-1/2}y$  とおき、

$$z^3 + z + \delta/\eta^{3/2} = 0 \quad (7)$$

を得る。(7)式の根を  $\delta/\eta^{3/2}$  に対応したテーブルに格納しておく。

根を  $Z_i$  ( $i=1, 2, 3$ ) とすると、(6)式の根は  $Y_i = \eta^{1/2}Z_i$  ( $i=1, 2, 3$ ) となる。

なお、 $\eta \neq 0$  かつ  $\delta = 0$  のとき(7)式の根  $Y$  は、0,  $\alpha^0$  である。

さて、つぎに誤り位置多項式の解法について述べる。

(4ビット誤りの場合)

誤り位置多項式は、

したがって、(12)式、(16)式より、 $x^2 + \sigma_{41}x + Y = 0$  を

(4)式の解法を用いて解き、 $p, p'$  を求めることができる。

同様に、(13)式、(15)式から  $q, q'$  を求める。そして、(14)式を満足する  $(p, q), (p', q')$  の組を求めれば、 $p, q$  より  $x_1, x_2$  が  $p', q'$  より  $x_3, x_4$  が算出される。

(3ビット誤りの場合)

誤り位置多項式は、

$$x^3 + \sigma_{31}x^2 + \sigma_{32}x + \sigma_{33} = 0 \quad (17)$$

となる。(17)式に  $x$  をかけて0を加え、4次方程式とみなして次式を得る。

$$x^4 + \sigma_{31}x^3 + \sigma_{32}x^2 + \sigma_{33}x + 0 = 0 \quad (18)$$

(18)式は(8)式と同様に解くことができる。

すなわち、(18)式の根を  $x_i$  ( $i=1, 2, 3$ ),  $x_4 = 0$  とすると、 $Y = (x_1 + x_2)(x_3 + 0)$  を根とする3次の補助方程式として次式を得る。

$$\lambda^3 + \eta\lambda + \delta = 0 \quad (19)$$

ここで、 $\eta = \sigma_{32}^2 + \sigma_{31}\sigma_{33}$

$$\delta = \sigma_{33}^2 + \sigma_{31}^2\sigma_{33} \quad (20)$$

したがって、(18)式と(11)式と比較して、

$$p + p' = \sigma_{31} \quad (21)$$

$$q + q' + pp' = \sigma_{32} \quad (22)$$

$$p'q + pq' = \sigma_{22} \quad (23)$$

$$qq' = 0 \quad (24)$$

前記と同様に、Yと(21)式よりp, p'が求まる。

ついで、(22)式、(24)式より、

$$x^2 + (\sigma_{22} + Y)x + 0 = 0 \quad (25)$$

の根としてq, q'を得る。(25)式は(4)式と同様に解くと  
(q, q') = ( $\sigma_{22} + Y$ , 0)となる。

仮定より、 $p = x_1 + x_2$ ,  $p' = x_2$ だから、

$$p'q + pq' = x_2(\sigma_{22} + Y) + (x_1 + x_2)x_2$$

$$= x_1x_2 + x_2^2$$

$$= \sigma_{22}$$

$$(\because \sigma_{22} = x_1x_2 + x_2x_2 + x_2x_1)$$

$$Y = x_1x_2 + x_2x_2$$

そして、(p, q) = (p,  $\sigma_{22} + Y$ ), (p', q') = (p', 0)

より、それぞれ(4)式の解法を用いて、(18)式の根 $x_1, x_2, x_3, x_4 = 0$ を得る。

したがって、根 $x_1$ より0を除いておけば良い。

以上述べたように、(17)式も $\sigma_{41} + \sigma_{21}, \sigma_{42} + \sigma_{22}, \sigma_{43} + \sigma_{23}, \sigma_{44} = 0$ を対応させると、4次方程式とみなして(8)式の解法を用いて良いことが分った。

つぎに、誤り位置多項式の係数について述べる。

(4ビット誤りの場合)

誤り位置多項式の係数は次式となる。

$$\sigma_{41} = S_1, \sigma_{42} = (S_1(S_1^2 + S_7) + S_2(S_1^5 + S_5)) / A,$$

$$\sigma_{43} = (S_1(S_1^2 S_3 + S_1 S_7) + S_2(S_1^5 + S_3^2)) / A,$$

$$\sigma_{44} = (S_1^3(S_1^2 + S_7) + S_2(S_1^2 + S_1 S_3^2 + S_7) + S_3(S_1^5 + S_1^2 S_3 + S_5)) / A,$$

ただし、

$$A = S_1(S_1^5 + S_5) + S_2(S_1^3 + S_3) \quad (30)$$

(3ビット誤りの場合)

誤り位置多項式の係数は(30)式を用いて求めることができる。即ち、

$$\sigma_{31} = \sigma_{41}, \sigma_{32} = \sigma_{42}, \sigma_{33} = \sigma_{43}, (\sigma_{44} = 0) \text{ となる}$$

(証明略)。

(2ビット誤りの場合)

A=0となるので、(30)式を用いることができない。

誤り位置多項式の係数は次式より求める。

$$\sigma_{21} = S_1, \sigma_{22} = (S_1^3 + S_3) / S_1 \quad (31)$$

(1ビット誤りの場合)

誤り位置多項式の係数は(31)式を用いて求めることができる。即ち、

$$\sigma_{11} = \sigma_{21} = S_1, (\sigma_{22} = 0) \text{ となる (証明略)}。$$

(2ビット誤りの場合)

誤り位置多項式は、

$$x^2 + \sigma_{21}x + \sigma_{22} = 0 \quad (26)$$

となる。

前項と同様に $\sigma_{41} + \sigma_{21}, \sigma_{42} + \sigma_{22}, \sigma_{43} - \sigma_{24} = 0$ として4次方程式として解くことができる。

なお、このとき、(9)式に対応する式が

$$\lambda^2 + \sigma_{22}\lambda + 0 = 0 \quad (27)$$

となり根は $Y=0, \sigma_{22}$ となるが $Y=0$ を用いる方が効率が良い。

(1ビット誤りの場合)

誤り位置多項式は

$$x + \sigma_{11} = 0 \quad (28)$$

となる。同様に $\sigma_{41} + \sigma_{11}, \sigma_{42} - \sigma_{43} - \sigma_{44} = 0$ として4次方程式として解くことができる。

なお、このとき(9)式に対応する式が

$$\lambda + 0\lambda + 0 = 0 \quad (29)$$

となるが、根は $Y=0$ である。

以上によって、3ビット以下の誤り位置多項式も4ビットの誤り位置多項式として解法できることが分った。

さて、以上をまとめると4重誤り訂正BCH符号の復号手順は次のようになる。

(1) シンドローム  $S_1, S_3, S_5, S_7$  の算出

(2) 誤り位置多項式の係数の算出

(30)式において $A \neq 0$ ならば、3または4ビット誤りと判定し、

(30)式により誤り位置多項式の係数を算出する。 $A=0$ ならば、

1または2ビット誤りと判定し、(31)式により誤り位置多項式の係数を算出する。

(3) 1~4ビット誤りの誤り位置多項式を算て4次方程式とみなして解き根、即ち、誤り位置を求める。

(4) 根のうち、0元を除き誤りを訂正する。

以上の復号手順のフローチャートを図1に示す。これは、容易にソフトプログラムによって実現できる。

さて、つぎにROM(Read Only Memory)を用いた4重誤り訂正BCH符号の復号器の構成について述べる。

ここで、元を指数表現としその指数 $0, 1, \dots, 2^m - 2$ を用いる0元は全て1、つまり、(111...1)で表わすこととする。

なお、以下の説明で0元は0、他の元は $\alpha^0, \alpha^1, \dots, \alpha^{2^m-2}$ を用いるが、図路では0元は全て1(111...1)、 $\alpha^L$ は $1(0 \leq L \leq 2^m - 2)$ で表わされているものとする。

まず図2に基本回路を示す。(a)は元の乗算、(b)は元の除算、(c)は元の加算を表す。これらの回路は0元を含んだ演算も可能であるとする。なお、これらの回路は既に知られている。

図3は $x^2 + \sigma_{21}x + \sigma_{22} = 0$ の解法回路(SV2)であり、(4)式の解法を実現する回路である。X2は元の2乗を求める回路、+2は平方根を求める回路である。ROM 2 1は(5)式、 $y^2 + y + C1 = 0$ の根を格納するROMである。係数 $\sigma_{21}$ 、 $\sigma_{22}$ が0でも根を求めることができるようにするためには、0の平方根を0とし、ROM 2 1の出力0に対して出力を0と $\alpha^0$ としておけば良い。

なお、SW A 2は $\sigma_{21} = 0$ のとき下側、 $\sigma_{21} \neq 0$ のとき上側とする。

つぎに、図4は $\lambda^3 + \eta\lambda + \delta = 0$ の解法回路(SV3)であり、3根のうち1根を求める回路である。X3は元の3乗を求める回路であり、

ROM 3 3は(7)式、 $z^3 + z + C1 = 0$ の根を求めるためのROMである。ROM C 4は立方根を求める回路である。係数 $\eta$ 、 $\delta$ が0でも根を求めることができるようにするためには、0の立方根は0、

ROM 3 3は入力0に対して出力0を得るようにしておけば良い。

なお、SW B 5は、 $\eta = 0$ のとき下側、 $\eta \neq 0$ のとき上側とする。

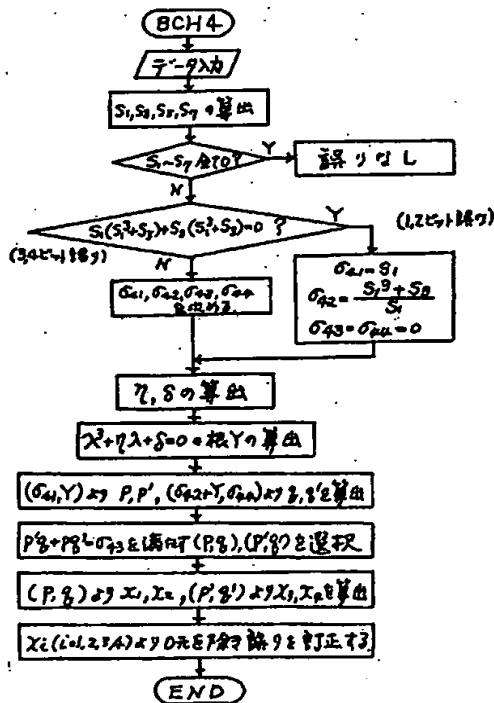
図5は誤り位置多項式の係数を算出する回路(CG)である。(30)式における $A = S_1 (S_1^3 + S_3) + S_3 (S_1^3 + S_3)$ が、 $A \neq 0$ のときSW C 8は下側となり、3または4ビット誤りを判定し、 $A = 0$ のときSW C 8は上側となり、1または2ビット誤りと判定する。

そして、誤り位置多項式を4次方程式とみなして係数 $\sigma_{41}$  ( $i = 1, 2, 3, 4$ )を算出する。

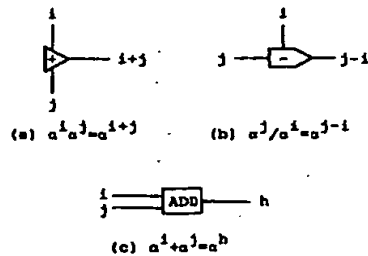
なお、CG 1 6は(31)式によって、 $\sigma_{22}$ を算出する回路であり、CG 2 7は(30)式によって、 $\sigma_{42}$ 、 $\sigma_{43}$ 、 $\sigma_{44}$ を算出する回路である。

さて、図6は、4ビット誤り訂正BCH符号の復号器である。

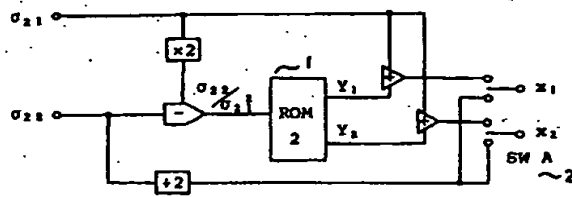
ADD 13は元の加算回路、SG 9はシンドローム生成回路、CG 10は図5の誤り位置多項式の係数算出回路、CC 11は(10)式によって、 $\eta$ 、 $\delta$ を算出する回路、SV3 12は図4の $\lambda^3 + \eta\lambda + \delta = 0$ の解法回路、SV2 14は図3の $x^2 + \sigma_{21}x + \sigma_{22} = 0$ の解法回路、PC 15は、(14)式を満足する $(p, q)$ 、 $(p', q')$ の組を求める回路である。



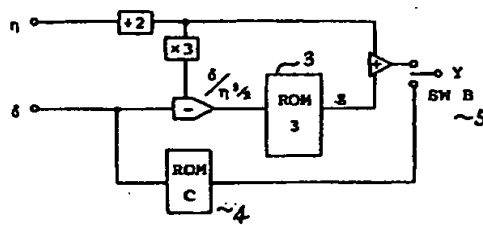
第1図



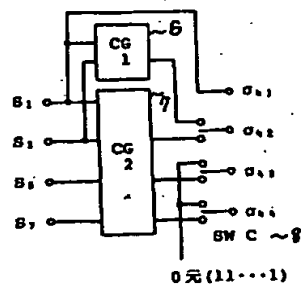
第2図



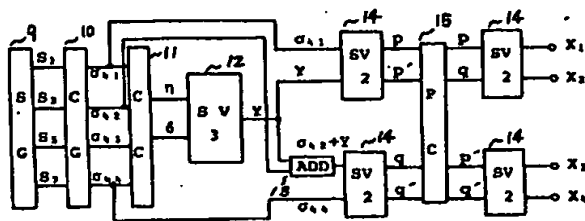
第 3 図



第 4 図



第 5 図



第 6 図



手続補正書 (自発) 昭和58年 4月 14日

昭和 58年 4月 11日

特許庁長官 塔 村 和 夫 殿

1. 事件の表示 昭和58年特許第039816号

2. 発明の名称 4重誤り訂正BCH符号の高速符号法

3. 補正をする者

事件との関係 特許出願人

住所(居所) ヤマダビルヂングビル 5F 507号  
山口県徳山市城ヶ丘4丁目9-1-201

氏名 大野 隆一

6. 補正の対象 「明細書の図面の簡単な説明の欄」

7. 補正の内容 明細書の終りに次の項目と説明を追加する。

(図面の簡単な説明)

第1図は4重誤り訂正BCH符号の符号フローチャート

第2図は演算の基本回路

第3図は $x^2 + \sigma_{21}x + \sigma_{22} = 0$ の解法回路

1:  $y^2 + y + C_1 = 0$ の根を求めるROM

第4図は $\lambda^2 + \eta\lambda + \delta = 0$ の解法回路

3:  $z^2 + z + C_2 = 0$ の根を求めるROM

4: 立方根を求めるROM

第5図は誤り位置多項式の係数を算出する回路

6:  $\sigma_{21}$ を算出する回路

7:  $\sigma_{22}, \sigma_{43}, \sigma_{44}$ を算出する回路

第6図は4ビット誤り訂正BCH符号の復号器

9: シンドローム生成回路

10: 誤り位置多項式の係数算出回路

11:  $\eta, \delta$ 算出回路

12:  $\lambda^2 + \eta\lambda + \delta = 0$ の解法回路

13: 元の和を求める回路

14:  $X^2 + \sigma_{21}X + \sigma_{22} = 0$ の解法回路

15:  $(p, q), (p', q')$ の組を求める回路

